

(11)特許出願公開番号

(43)公開日 平成8年(1996)2月2日

### 技術表示箇所

9459-5L

330 K

**G 1 1 C 16/06**

G 1 1 C 17/ 00

309 F

審査請求 未請求 請求項の数7 O.L (全 8 頁)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 佐藤 弘

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72)発明者 吉田 敬一

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(74)代理人 弁理士 大日方 富雄

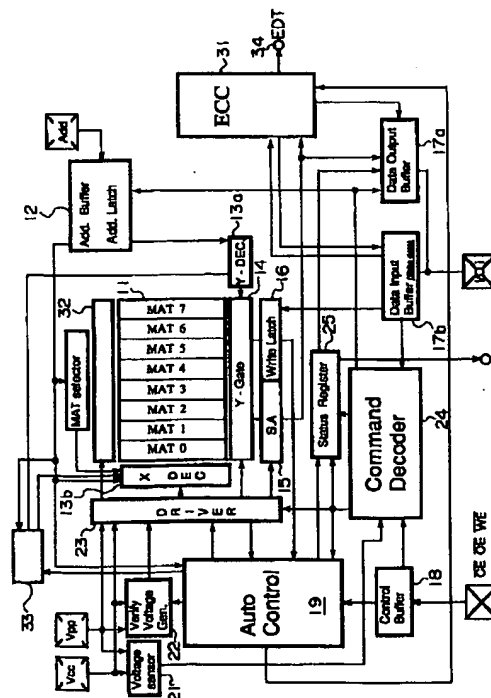
(54)【発明の名称】 半導体メモリ

(57) 【要約】

【目的】 データの信頼性をチェックしデータが破壊されていた時はデータを訂正するメモリを提供する。

【構成】 半導体メモリにエラーのチェック訂正機能を持つ ECC 回路を設けるようにしたものである。また、不揮発性メモリにあっては、書き込み不可能アドレスが発生した場合に備えてメモリアレイ部に予備ビットをまた周辺回路には不良アドレス記憶手段を有する冗長回路を設けておくと共に、不良アドレス保持手段をメモリアレイ内の不揮発性記憶素子と同一の素子を用いて構成する。

【効果】 メモリアレイ内の一部のデータが破壊されてもECC回路によって正しいデータを回復してやることができるため、メモリの信頼性を向上させることができる。また、製造プロセスを複雑にすることなく保持データの信頼性の高いメモリを実現することができる。



## 【特許請求の範囲】

【請求項1】 入力された書込みデータに基づいてエラー訂正符号を形成し書込みデータと共にメモリアレイ部に書込み、当該メモリアレイ部から読み出されたエラー訂正符号付きデータをチェックして誤りを訂正するECC回路を同一半導体基板上に備えてなることを特徴とする半導体メモリ。

【請求項2】 エラーの訂正が行なわれたことを示す信号を出力するための端子が設けられていることを特徴とする請求項1に記載の半導体メモリ。

【請求項3】 エラーの訂正が行なわれたビットを含むデータのアドレスを格納するレジスタが設けられていることを特徴とする請求項1または2に記載の半導体メモリ。

【請求項4】 上記メモリアレイ部が不揮発性メモリ素子により構成されていることを特徴とする請求項1、2または3に記載の半導体メモリ。

【請求項5】 上記メモリアレイ部が不揮発性メモリ素子により構成されている半導体メモリであって、予備のメモリ素子と、不良アドレスを記憶する不良アドレス記憶手段と該不良アドレス記憶手段に設定されたアドレスと同一のアドレスが入力された時に上記メモリアレイ部内のメモリ素子の代わりに上記予備メモリ素子を選択する信号を形成するアドレス切換手段とからなる冗長回路と備え、上記不良アドレス記憶手段は不揮発性メモリ素子を有し該不揮発性メモリ素子への書込みにより任意のアドレスを設定可能に構成されていることを特徴とする請求項1、2または3に記載の半導体メモリ。

【請求項6】 外部より与えられたコマンドを解読する機能を備え、該コマンドによって上記ECC回路を動作させるかしないかの指定が行なわれるように構成されていることを特徴とする請求項1、2、3、4または5に記載の半導体メモリ。

【請求項7】 外部より与えられたコマンドを解読する機能を備え、コマンドによって上記不良アドレス記憶手段へのアドレスの設定が行なわれるように構成されていることを特徴とする請求項5または6に記載の半導体メモリ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体メモリに適用して有効な技術に関し、例えばフラッシュメモリ、ICカード、ノート型パソコンの拡張用メモリ等に利用可能な技術である。

## 【0002】

【従来の技術】半導体メモリは極めて信頼性に優れている。そのため、従来、パリティビットを持つようにされたメモリは提案されているが、メモリ自身でデータのチェックを行なうようにしたものは提案されていなかった。これに対し、磁気ディスクは半導体メモリに比べて

信頼性に乏しいため、データのチェック及び訂正を行ういわゆるECC（エラー・コレクティング・コード）回路を設けたものがある。

【0003】ECC回路は、記憶されたデータが破壊された時にデータを検出し修正を行うものである。その論理は、CQ出版株式会社発行「基礎からのメモリ応用」等で広く一般に知られている様に排他的論理和の組み合わせで表す事ができる。

## 【0004】

10 【発明が解決しようとする課題】ある種の半導体メモリはデータの信頼性が環境や使用状況により低下するという欠点を備えている。そのような半導体メモリの例として、例えば過度に書き込みを行なった不揮発性メモリやソフトウェアに弱い構造すなわち過度に放射線の強い場所や高温下で使用したり、製品の実力以下の低電圧で使用するDRAM、低温（0℃以下）あるいは製品の実力以下の低電圧で使用するSRAM等がある。

20 【0005】本発明の目的は、保持データの信頼性の高い半導体メモリを提供することにある。本発明の他の目的は、製造プロセスを複雑にすることなく保持データの信頼性の高い不揮発性メモリを実現可能にする技術を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

## 【0006】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。すなわち、半導体メモリにエラーのチェック訂正機能を持つECC回路を設けるようにしたものである。また、不揮発性メモリにあっては、書き込み不可能アドレスが発生した場合に備えてメモリアレイ部に予備ビットをまた周辺回路には不良アドレス記憶手段を有する冗長回路を設けておくと共に、不良アドレス保持手段をメモリアレイ内の不揮発性記憶素子と同一の素子を用いて構成する。

## 【0007】

【作用】上記した手段によれば、メモリアレイ内の一部のデータが破壊されてもECC回路によって正しいデータを回復してやることができるため、メモリの信頼性を向上させることができる。また、不揮発性メモリにあっては、メモリアレイ部に予備ビットをまた周辺回路には冗長回路を設けておくと共に、不良アドレス記憶手段をメモリアレイ内の不揮発性記憶素子と同一の素子を用いて構成することにより、書換え回数の増加によって不良となったビットを予備のビットと置き換えることができるとともに、電源を切った後も不良アドレスを保持することができ、製造プロセスを複雑にすることなく保持データの信頼性の高い不揮発性メモリを実現することができるようになる。

50 【0008】

## 3

【実施例】図1には、本発明をフラッシュメモリに適用した場合の一実施例の全体回路ブロック図が示されている。この実施例のフラッシュメモリは、それぞれ単一の半導体チップ上に半導体集積回路として構成されている。

【0009】同図において、11は2層ゲート構造の絶縁ゲート型電界効果トランジスタによって構成されたメモリセルがマトリクス配置され、例えば512バイトのような単位での一括消去が可能な8つのメモリマットMAT0～MAT7で構成されたメモリアレイ部である。各メモリマットに対しては1バイトのデータと1ビットのエラー訂正ビット（後述）を同時に書込み、また同時に読み出すことができるように構成されている。

【0010】また、12は外部からアドレス端子Addに与えられたアドレス信号A0～Aiを取り込んで保持するアドレスバッファ&ラッチ回路、13a、13bは上記アドレスバッファ&ラッチ回路12に取り込まれたアドレス信号をデコードするYデコーダおよびXデコーダ、13cは取り込まれたアドレス信号に基づいてメモリアレイ11内の8つのメモリマットのうち一つを選択するマットセクタ、14はメモリアレイ11内のデータ線上に設けられたYゲート（カラムスイッチ列）である。

【0011】15および16は上記Yゲート14によって上記メモリアレイ部11内の選択されたデータ線に接続されるセンスアンプおよび書込みデータのコントロールバッファ回路、17a、17bはデータ入出力端子I/Oに接続されたデータ出力バッファおよびデータ入力バッファ、18は外部から入力される制御信号としてのチップ選択信号CE、出力タイミング制御信号OEおよび書込み制御信号WEを取り込んで保持するラッチ回路、19は上記バッファ回路17bおよびラッチ回路18に取り込まれた制御信号および書込みデータに基づいて内部制御信号や書込み制御信号を形成する制御回路である。

【0012】特に制限されないが、この実施例のフラッシュメモリは、8個のデータ入出力端子I/Oを有し、8ビットの並列入出力が可能に構成されている。また、書込みは各メモリマット毎に8ビット（1バイト）で、全マット同時書込みすなわち64ビット（8バイト）同時書込みを行なうように構成されている。読み出しはマットを選択して1バイト単位で行なえるように構成されている。

【0013】さらに、21は電源電圧端子Vccおよび書込み電圧端子Vppに印加された電圧のレベルを検出する電圧検出回路、22は上記電圧端子Vppに印加された書込み電圧に基づいて、メモリアレイ部11で必要とされる書込み／消去電圧を形成する電圧発生回路、23はこの電圧発生回路22で形成された書込み／消去電圧によって上記Xデコーダ回路12aを介して選択され

## 4

たワード線や駆動する信号を形成するドライバ回路である。

【0014】特に制限されないが、この実施例のフラッシュメモリは、コマンド方式を採用しており、外部のマイクロコンピュータからデータ入出力端子I/Oに供給されたコマンドをデコードするコマンドデコーダ24が設けられており、データの書込みと消去はコマンドが入力されることにより行なうように構成されている。

【0015】上記コマンドデコーダ24は、消去コマンドが入力されると512バイトのようなブロック単位でメモリセルを一括消去するように、また書込みコマンドが入力されると1バイト単位で取込み、メモリアレイ部11へは8バイト同時に書込みを行なうように、上記制御回路19に対してそれぞれ制御信号を与える。さらに、消去コマンドおよび書込みコマンドが入力されると、ステータスレジスタ25に内部状態や演算結果が反映されるように構成されている。しかも、このステータスレジスタ25は上記データ入出力端子I/Oに接続されており、外部のマイクロコンピュータがその内容を読み込むことができるようにされている。

【0016】この実施例では、上記データ入出力端子I/Oより入力された書込みデータのエラー訂正ビットを形成し、メモリアレイ11より読み出されたデータが正しいか否かチェックして誤っている時はこれを訂正するECC回路31が設けられている。データ書込み時にECC回路31で形成されたエラー訂正ビットは書込みデータとともにメモリアレイ11内に書き込まれ、データ読み出し時にはメモリアレイ11より読み出されたデータおよびエラー訂正ビットに基づいてデータのチェックおよび訂正が行なわれ、正しいデータがデータ入出力端子I/Oへ出力されるように構成されている。ECC回路31でエラービットの検出、訂正がなされると、エラー検出信号EDが形成されて端子34より外部へ出力されるように構成されている。

【0017】さらに、この実施例では、メモリアレイ11に隣接して予備のメモリ列32が設けられていると共に、メモリアレイ11内に不良ビットが発見された場合に、その不良ビットを含むメモリ列に対応するアドレスを記憶する不良アドレス記憶手段と、当該不良アドレスが入力された時にメモリアレイ11内のメモリ列に替えて上記予備メモリ列32を選択する信号を形成するアドレス切換え手段とからなる冗長回路33が設けられている。

【0018】特に制限されるものでないが、この実施例では、上記不良アドレス記憶手段はメモリアレイ11内のメモリセルを構成する素子と同一のFAMOS（フローティング・アバランシェMOSFET）により構成されている。これによって、製造プロセスを複雑にすることなく冗長回路を有するフラッシュメモリを実現することができ、大幅なコストアップを回避することができ

る。

【0019】次に、上記ECC回路31について具体的に説明する。本実施例のフラッシュメモリにおいては、一例として8ビットデータの1ビットエラー訂正／2ビットエラー検出を行なうECC回路が設けられている。この実施例のように64ビット（8バイト）同時書込みを行なう場合には、4ビットの演算データ（エラー訂正ビット）を必要とする。従って、メモリアレイ部11の構成としては、例えばユーザ使用領域として32Mビットを用意し、ECC演算結果収容用に4Mビットを用意し、8マツトに構成して各マツトごとに9ビットのデータを読み書きするように構成する。

【0020】また、特に制限されないが、この実施例のフラッシュメモリには、外部からコマンドにより上記ECC回路31を動作させるか否かを指示することができるように構成されており、データ書込み時とリード時に外部から要求があった場合にのみECC回路31が機能する。要求が有ると、書込みデータはメモリアレイ部11に書き込まれる前にECC回路31に入力され、エラー訂正ビットが形成されてデータとともに書き込まれる（書込みデータは8バイトでありECC演算結果は1バイトになる）。なお、データ入出力端子I/Oは8本であるが、LSI内部のデータ信号線は9本構成とする。

【0021】一方、マイクロコンピュータからのコマンド入力によりブロック読出しが指定されると、フラッシュメモリは1ブロックのデータを同時にしくは多少の時間差を置いて読み出し、ECC回路31に入力する。この時エラーがあれば訂正し、訂正したことを示す信号EDを端子34より外部へ出力するとともに、エラーのあったビットを有するデータを示す情報をステータスレジスタ25に書込む（8個のデータ（64ビット+8ビット）のうちどのデータがエラーを起こしているのか出力するためにはI/O端子が8本あれば十分である）。

【0022】従って、マイクロコンピュータは、上記信号EDによりエラー訂正があったことを容易に知ることができる。そして、フラッシュメモリ内部のステータスレジスタ25の内容をコマンドで読み出すことで不良ビットのアドレスを知ることができる。なお、エラー訂正したことを示す信号EDを外部へ出力させる端子34を設ける代わりに、エラー訂正したことを示すビットをステータスレジスタ25に設けるようにしてもよい。

【0023】また、上記ECC回路31は電源投入時のみ動作させるようにすることができる。これによって、通常アクセス時にECC回路を使用することによるアクセス遅延を防止することができ、システムの高速度性を保証することができる。

【0024】次に、冗長回路33について説明する。本実施例の冗長回路33の構成および動作は一般に知られている冗長回路とほぼ同様である。本回路の特徴は不良アドレス記憶手段を構成するヒューズの代わりもしくは

ヒューズと併用して不揮発性メモリ素子を使用していることと、不揮発性メモリ素子にデータを書く制御系回路を持たせる（図1の制御回路19に設けられている）ようにしている点にある。

【0025】但し、不良アドレス記憶手段を構成する不揮発性メモリ素子にデータを書き込む動作はメモリアレイ部11への書込み動作と何等変わることはない。そして、この書き込み動作はコマンドで冗長セットモード（不良アドレス設定モード）を選択し、かつアドレスピンを用いて書込みを行なうメモリ素子を指定することで行なうように構成されている。

【0026】図2～図5には、不良アドレス記憶手段の構成例が示されている。同図において、Mの符号が付されているのが、不揮発性メモリ素子（FAMOS）である。図2の不良アドレス記憶手段は、不揮発性メモリ素子M1に書込み（電荷の注入）を行なってそのしきい値電圧を高くすると出力信号Routがハイレベルに固定され、書込みを行なわないと出力信号Routがロウレベルに固定されるものである。なお、不揮発性メモリ素子M1と直列に接続されたMOSFETQ1は、M1に書込みを行なう時にのみオフ状態にされる。端子Vには、不揮発性メモリ素子M1への書込み時に通常の電源電圧Vccよりも高い書込み昇圧電圧Vppwが供給される。

【0027】図3の不良アドレス記憶手段は、不揮発性メモリ素子M1とヒューズF1を併用したものである。チップをパッケージに封入する前に不良アドレスを発見し救済（不良アドレスの設定）を行なう場合には、ヒューズF1を切断することで出力信号Routがハイレベルに固定され、ヒューズF1を切断しないままにしておくとも出力信号Routがロウレベルに固定されるものである。なお、不揮発性メモリ素子M1には予め書込みを行なっておく。

【0028】一方、チップをパッケージに封入した後に不良アドレスが発見され救済を行なう時（このときヒューズは未切断になっている）には、不揮発性メモリ素子M1の消去（電荷の引き抜き）を行なってそのしきい値電圧を低くすると出力信号Routがハイレベルに固定され、消去を行なわないと出力信号Routがロウレベルに固定されるものである。なお、不揮発性メモリ素子M1と直列に接続されたMOSFETQ1は、M1に書込み、消去を行なう時にのみオフ状態にされる。端子Vには、不揮発性メモリ素子M1への書込み時に通常の電源電圧Vccよりも高い書込み昇圧電圧Vppwが供給され、消去時には負の電圧が供給される。

【0029】図4の不良アドレス記憶手段は、不揮発性メモリ素子M1に書込み（電荷の注入）を行ないM2を消去状態にしておくことによって出力信号Routがロウレベルに固定され、M1を消去状態にしM2に書込みを行なうことにより出力信号Routがハイレベルに固

定されるものである。なお、不揮発性メモリ素子M1とM2の接続ノードに接続されたMOSFETQ1は、電源立ち上がり時に救済アドレスデータをラッチさせる時のみオン状態にされる。端子Vには、不揮発性メモリ素子M1への書き込み時に通常の電源電圧Vccよりも高い書き込み昇圧電圧Vppwが供給される。

【0030】図5の不良アドレス記憶手段は、不揮発性メモリ素子M1とヒューズF1を併用しヒューズとメモリ素子の抵抗分割で出力レベルを確定するようにしたものである。チップをパッケージに封入する前に不良アドレスを発見し救済（不良アドレスの設定）を行なう場合には、ヒューズF1を切断することで出力信号Routがハイレベルに固定され、ヒューズF1を切断しないままにしておくとし出力信号Routがロウレベルに固定されるものである。なお、不揮発性メモリ素子M1には予め書き込みを行なしておく。

【0031】一方、チップをパッケージに封入した後に不良アドレスが発見され救済を行なう時（このときヒューズは未切断になっている）には、不揮発性メモリ素子M1の消去（電荷の引き抜き）を行なってそのしきい値電圧を低くすると出力信号Routがハイレベルに固定され、消去を行なわないと出力信号Routがロウレベルに固定されるものである。なお、不揮発性メモリ素子M1とヒューズF1との接続ノードに接続されたMOSFETQ1は、電源立ち上がり時に救済アドレスデータをラッチさせる時のみオン状態にされる。また、端子Vc1には、Q1のオン状態の時にVcc、Q1のオン状態の時にVssが供給される。

【0032】次に、例えば書換え回数の増加によってメモリアレイ内に不良ビットが発生した場合にそれを予備のビットと置き換える冗長設定方法について説明する。

【0033】本実施例のフラッシュメモリは、ECC回路31によりデータエラーが発見されると端子34よりエラー検出信号EDが出力され、エラーのあったデータがどれであるのかを示す情報がステータスレジスタ25に格納される。従って、マイクロコンピュータは、エラーが発生したことを知った場合にはステータスレジスタ25の内容を読み込んでそのエラービットを含むデータのアドレスを記憶し、例えば複数回連続して同一アドレスがエラーを起こしたと判定したならば、そのアドレスを不良アドレスとして認定し、フラッシュメモリに不良アドレス設定コマンドと不良アドレスとを与える。

【0034】フラッシュメモリのコマンドデコーダ24は不良アドレス設定コマンドを受けると、制御回路19に制御信号を与えて、内部の冗長回路33に不良アドレスを設定させる。そして、不良アドレス設定後に、不良ビットと置き換えられた予備ビットに元のアドレス位置のデータを書込む。その後、書込んだデータを読み出してチェックし、正しければ通常の動作モードに移行し、間違っていればステータスレジスタ25の書き込み・消去

エラービットにエラーがあったことを書き込む。このようにすることによって、フラッシュメモリをシステムボードから取り外すことなく自動的に不良ビットの救済を行なわせるようにすることができる。

【0035】なお、上記不良アドレスの検出および冗長回路33への不良アドレスの設定機能は、マイクロコンピュータでなくフラッシュメモリ内に設けた制御回路19により行なうようにメモリを構成しておくことも可能である。

【0036】また、上記実施例ではフラッシュメモリ内に冗長回路33を設けて不良ビットの救済を行なうようにしたが、予備メモリ32と冗長回路33とを設ける代わりに、マイクロコンピュータが不良ビットが発生したと認定した場合には、ステータスレジスタ25を参照してその不良アドレスを検出、記憶し、その後その不良アドレスをアクセスしないように対処することも可能である。また、エラーのあったデータがどれであるのかを示す情報がステータスレジスタ25に保持させる代わりに、アドレス端子Addを使って外部へ出力させるようにしてもよい。

【0037】以上説明したように上記実施例は、半導体メモリにエラーのチェック訂正機能を持つECC回路を設けるようにしたので、メモリアレイ内の一部のデータが破壊されてもECC回路によって正しいデータを回復してやることのできるため、メモリの信頼性を向上させることができるという効果がある。

【0038】しかも、ECC回路によってエラー検出、訂正がなされたときにエラー検出信号を出力する端子が設けられているため、マイクロコンピュータはメモリアレイ部内に不良ビットが発生したことを知ることができ、その不良ビットのアドレスを使用しないようにする（不良ビットを含んでいたデータはたのアドレスに移し替える）ことにより、システムの信頼性を向上させることができるとともに、メモリの交換時期を知ることができるようになる。

【0039】また、上記実施例の不揮発性メモリにおいては、メモリアレイ部に予備ビットをまた周辺回路には冗長回路を設けておくと共に、不良アドレス記憶手段をメモリアレイ内の不揮発性記憶素子と同一の素子を用いて構成しているので、書換え回数の増加によって不良となったビットを予備のビットと置き換えることができるとともに、電源を切った後も不良アドレスを保持することができ、製造プロセスを複雑にすることなく保持データの信頼性の高い不揮発性メモリを実現することができるという効果がある。しかも、ユーザにとっては使用可能な記憶容量が減少しないという利点がある。

【0040】さらに、ECC回路を使用するかしないかの指定や不良アドレス記憶手段へのアドレスの設定がコマンドによって行なわれるように構成したことにより、

的なものによって得られる効果を簡単に説明すれば下記のとおりである。すなわち、保持データの信頼性の高い半導体メモリを実現することができる。また、製造プロセスを複雑にすることなく保持データの信頼性の高い不揮発性メモリを実現することができる。

【図面の簡単な説明】

【図１】本発明を適用したフラッシュメモリの一実施例を示す回路ブロック図、

10

【図2】冗長回路のアドレス設定手段の一実施例を示す回路図、

【図3】冗長回路のアドレス設定手段の第2の実施例を示す回路図、

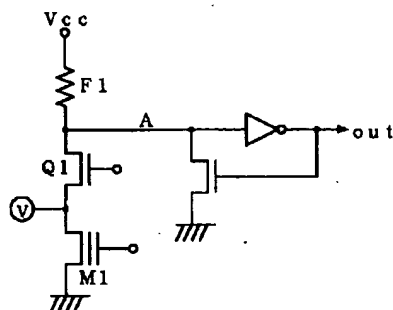
【図4】冗長回路のアドレス設定手段の第3の実施例を示す回路図、

【図5】冗長回路のアドレス設定手段の第4の実施例を示す回路図である。

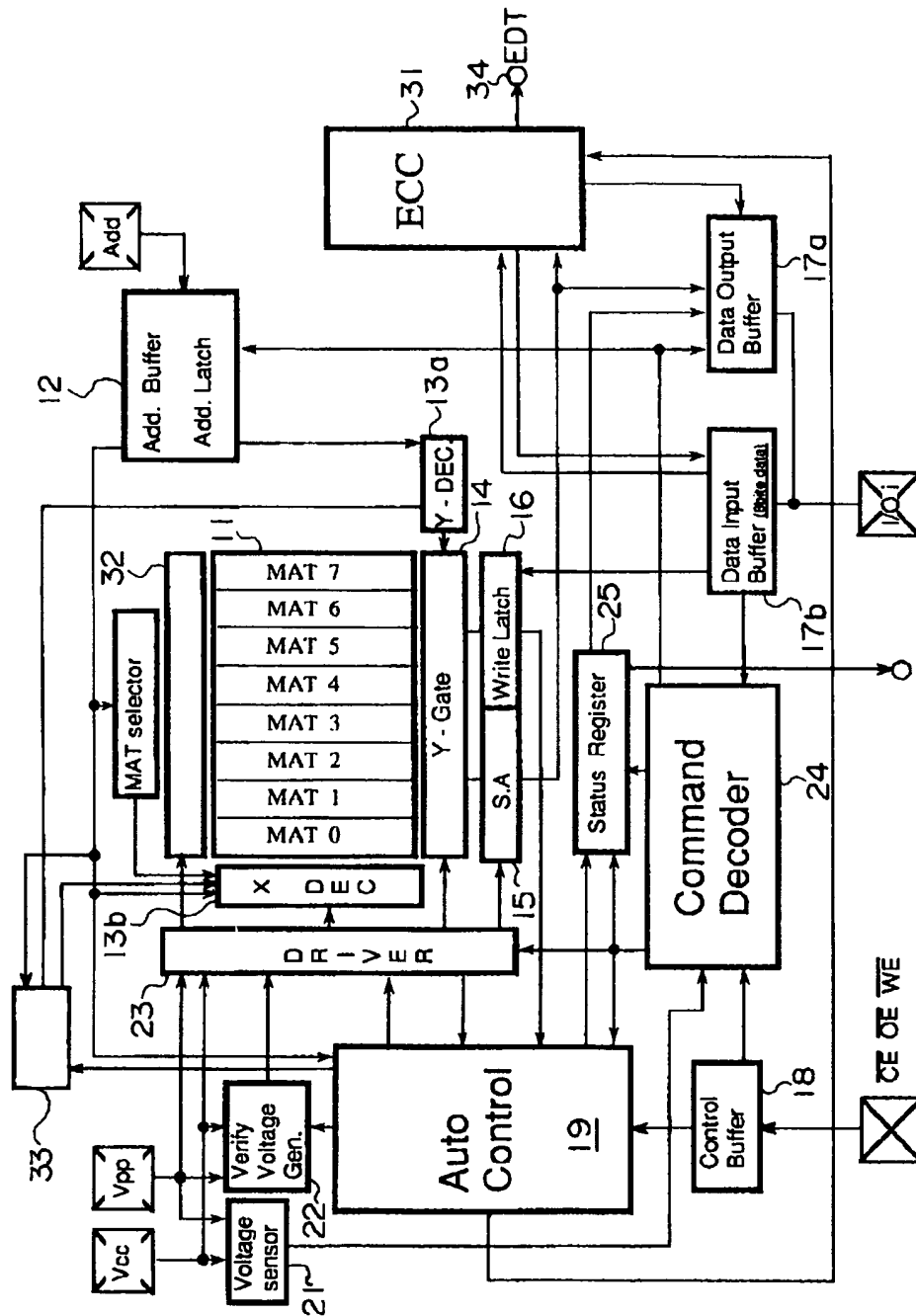
【符号の説明】

- 1 1    メモリアレイ部
- 1 2    アドレスバッファ&ラッチ回路
- 1 3 a   Yデコーダ
- 1 3 b   Xデコーダ
- 1 4    Yゲート（カラムスイッチ列）
- 1 5    センスアンプ
- 1 6    書き込みデータのラッチ回路
- 1 7 a   データ出力バッファ
- 1 7 b   データ入力バッファ
- 1 9    制御信号形成回路
- 3 1    ECC回路
- 3 3    冗長回路

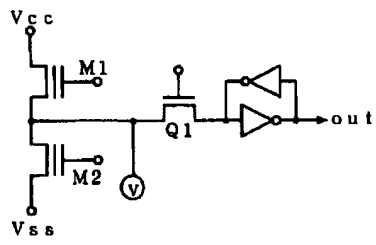
【図 3】



【図 1】



【図 4】



【図 5】

